

PATENT
25611-000080/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Application No.:	NEW	Group Art Unit:	Unknown
Filing Date:	March 12, 2004	Examiner:	Unknown
Applicants:	Jong-Joo LEE	Conf. No.:	Unknown
Title:	AREA ARRAY TYPE PACKAGE STACK AND MANUFACTURING METHOD THEREOF		

PRIORITY LETTER

March 12, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2003-0058273	08/22/2003	Korea

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKY, & PIERCE, P.L.C.

By



John A. Castellano, Reg. No. 35,094

P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0058273
Application Number.

출원년월일 : 2003년 08월 22일
Date of Application AUG 22, 2003

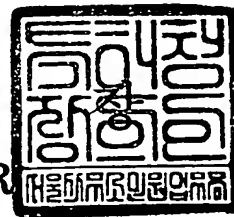
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 23 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.08.22
【국제특허분류】	H01L 23/52
【발명의 명칭】	면 실장형 반도체 패키지를 이용한 적층 패키지 및 그 제조 방법
【발명의 영문명칭】	STACK PACKAGE MADE OF AREA ARRAY TYPE PACKAGES, AND MANUFACTURING METHOD THEREOF
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	윤동열
【대리인코드】	9-1998-000307-3
【포괄위임등록번호】	1999-005918-7
【대리인】	
【성명】	이선희
【대리인코드】	9-1998-000434-4
【포괄위임등록번호】	1999-025833-2
【대리인】	
【성명】	박종한
【대리인코드】	9-2003-000119-5
【포괄위임등록번호】	2003-028441-0
【발명자】	
【성명의 국문표기】	이종주
【성명의 영문표기】	LEE, Jong Joo
【주민등록번호】	710421-1790410
【우편번호】	442-706
【주소】	경기도 수원시 팔달구 망포동 동수원엘지빌리지 105동 1603호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

윤동열 (인) 대리인

이선희 (인) 대리인

박종한 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 11 면 11,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 15 항 589,000 원

【합계】 629,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통 2. 위임장[1999년1월 21일 포괄위임 등록, 2003년 4월 26일 복대리인선 임]_1통

【요약서】**【요약】**

본 발명은 면 실장형 반도체 패키지(area array type)를 이용한 적층 패키지 및 이의 제조 방법에 관한 것이다. 본 발명에 있어서, 적층 패키지에 사용되는 각각의 면 실장형 반도체 패키지는 외부 접속 단자 패드와 전기적으로 연결된 커넥팅 패드가 형성되어 있고, 상기 커넥팅 패드들이 도체 패턴이 형성된 유연 케이블에 의해 전기적으로 연결됨으로써, 적층 패키지에 사용된 면 실장형 반도체 패키지들을 전기적으로 연결시키게 된다.

본 발명에 따르면, 적층 패키지에 사용된 각각의 면 실장형 패키지로부터 적층 패키지의 최하단에 형성된 외부 입출력 단자간의 인터커넥션 길이가 짧아져 전기적 특성이 크게 향상되고, 적층 패키지의 전체적인 높이도 감소시킬 수 있게된다.

【대표도】

도 4

【색인어】

면 실장형 반도체 패키지, 볼 그리드 어레이(BGA) 패키지, 솔더 볼, 커넥팅 패드, 유연 케이블, 센터 패드형 반도체 칩, 에지 패드형 반도체 칩

【명세서】**【발명의 명칭】**

면 실장형 반도체 패키지를 이용한 적층 패키지 및 그 제조 방법 {STACK PACKAGE MADE OF AREA ARRAY TYPE PACKAGES, AND MANUFACTURING METHOD THEREOF}

【도면의 간단한 설명】

도 1은 종래의 칩 적층형 반도체 패키지를 도시하고 있다.

도 2는 BGA(Ball Grid Array)형 패키지를 이용한 종래의 적층 패키지를 도시하고 있다.

도 3은 BGA형 패키지를 이용한 종래의 적층 패키지를 도시하고 있다.

도 4는 센터 패드형 칩이 내장된 면 실장형 반도체 패키지를 이용하여 제조된 적층 패키지를 도시하고 있다.

도 5a 및 도 5b는 상기 도 4에 개시된 면 실장형 패키지의 기판에 형성된 배선 패턴을 도시하고 있다.

도 6은 솔더 볼이 부착된 복수개의 면 실장형 반도체 패키지를 이용하여 제조된 적층 패키지를 도시하고 있다.

도 7은 복수개의 센터 패드형 칩이 내장된 면 실장형 반도체 패키지를 이용하여 제조된 적층 패키지를 도시하고 있다.

도 8은 에지 패드형 칩이 내장된 면 실장형 반도체 패키지를 이용하여 제조된 적층 패키지를 도시하고 있다.

도 9는 상기 도 8에 개시된 면 실장형 패키지의 기판에 형성된 배선 패턴을 도시하고 있다.

도 10은 센터 패드형 칩이 내장된 면 실장형 반도체 패키지 및 에지 패드형 칩이 내장된 면 실장형 반도체 패키지를 동시에 이용하여 제조된 적층 패키지를 도시하고 있다.

도 11a~도11f는 본원 발명에 따른 적층 패키지의 제조 방법을 도시하고 있다.

도 12a 및 도 12b는 본원 발명에 따른 적층 패키지를 일괄 공정에 따라 제조하는데 이용될 수 있는 유연 케이블 프레임을 도시하고 있다.

도 13a~도 13e는 본원 발명의 따른 적층 패키지의 또 다른 제조 방법을 도시하고 있다.

< 참조 번호 >

300: 센터 패드형 반도체 칩을 내장한 면 실장형 반도체 패키지

400: 에지 패드형 반도체 칩을 내장한 면 실장형 반도체 패키지

301, 401: 반도체 칩

305, 405: 봉지 수지

304, 404: 본딩 와이어

303, 403: 배선 패턴

314a, 314b, 414a, 414b: 솔더 볼 패드

311a, 311b, 411a, 411b: 커넥팅 패드

306, 406, 501: 유연 케이블(Flexible Cable)

307, 308, 407, 408, 504: 솔더 볼

703, 502: 면 실장형 반도체 패키지

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <24> 본 발명은 복수개의 반도체 패키지를 적층하여 제조되는 적층 패키지 및 이의 제조 방법에 관한 것으로서, 더 자세하게는 볼 그리드 어레이(Ball Grid Array; BGA) 패키지 등과 같은 면 실장 형태(area array type)의 반도체 패키지를 적층하여 제조되는 적층 패키지 및 이의 제조 방법에 관한 것이다.
- <25> 동일한 실장 면적에 많은 수의 반도체 칩을 실장함으로써 반도체 칩의 고밀도 실장을 실현하는 것은 반도체 패키지 제조에 있어서 중요한 기술적 목적이며, 이러한 기술적 목적을 달성하기 위해 다양한 반도체 패키지의 구성이 개발되어 왔다. 대표적인 예로, 하나의 반도체 패키지 내에 복수개의 반도체 칩을 실장하는 반도체 칩 적층 기술 및 제품으로 완성된 복수개의 반도체 패키지를 적층하는 패키지 적층 기술이 반도체 칩의 고밀도 실장을 위한 기술로서 제시되었다.
- <26> 반도체 칩 적층 기술이 적용된 대표적인 형태가 도 1에 개시된 것과 같은 멀티 칩 패키지(Multi Chip Package; MCP)이다. 도 1에 개시된 멀티 칩 패키지를 살펴보면, 복수개의 반도체 칩(101, 102)이 하나의 패키지 내에서 적층되고, 각각 기판(105)에 본딩 와이어(103, 104) 등의 접속 수단을 통해 연결되어 있다. 이와 같은 반도체 칩 적층 기술은 반도체 패키지의 크기 및 고밀도 실장 측면에서 매우 유리한 구조이다. 하지만 적층된 반도체 칩 중 하나라도 불량품이 끼어 있게 되면 완제품 자체가 불량품이 되게 되고, 멀티 칩 패키지 제조 과정에서 신뢰성이 확인되지 않은 다수의 반도체 칩이 사용되기 때문에, 수율이 저하되는 문제점이 있다.

- <27> 이와 달리, 패키지 적층 기술에서는 번-인 테스트(burn-in)를 포함한 각종 테스트를 거친 반도체 패키지를 사용하여 적층 패키지를 구현하기 때문에, 수율 측면에서 칩 적층 기술보다 유리하다.
- <28> 도 2는 종래 기술로서, 볼 그리드 어레이(BGA) 패키지를 이용하여 구현된 적층 패키지를 도시하고 있다. 적층 패키지 제조에 이용된 개별 반도체 패키지의 구조를 살펴보면, 반도체 칩(811)이 기판(820)의 중앙부에 실장된 상태로, 본딩 와이어 또는 리드 테이프 등의 전기적 접속 수단(822)을 통해 기판(820)에 형성된 배선(850)에 접속되어 있다. 상기 배선은 다시, 칩이 실장된 영역의 외주면에 해당하는 기판(820)의 영역에 형성된 솔더 볼(837)에 연결된다. 상술한 구조를 가진 복수개의 반도체 패키지는 서로 적층되는데, 서로 인접하여 적층된 반도체 패키지에 있어서, 위쪽에 적층되는 반도체 패키지의 솔더 볼(837)이 아래쪽에 적층되는 반도체 패키지의 기판 상면에 형성된 접속 패드(841)에 전기적으로 연결되는 구조로 형성되어 있다.
- <29> BGA 패키지 등과 같은 면 실장형 패키지를 적층하는 구성에 있어서, 칩 실장 영역에 해당하는 기판 하면에는 솔더 볼 등과 같은 입출력 수단이 형성될 수 없기 때문에, 칩 실장 영역이 아닌 기판의 외주면에만 솔더 볼 등의 입출력 수단이 형성되게 되고, 이로 인해 면 실장형 패키지의 최대 장점 중의 하나인 실장 면적 증대라는 효과를 누릴 수 없게 된다.
- <30> 근래 들어, 널리 이용되고 있는 칩 스케일 패키지(Chip Scale Package)에 있어서 상술한 문제점은 매우 중요하기 때문에, 기판의 아래면 전체를 입출력 단자 형성 영역으로 사용하면서도, 적층이 가능한 면 실장형 패키지 적층 기술에 대한 개발이 요구되어 왔다.
- <31> 도 3은 기판의 하면 전체에 입출력 단자가 형성된 면 실장형 패키지를 사용한 종래의 패키지 적층 기술을 도시하고 있다.

<32> 반도체 칩(701)을 포함하고 있는 각각의 반도체 패키지 하부에는 솔더 볼 등의 입출력 단자(703)가 배열되어 있고, 상기 입출력 단자(703)는 패키지의 상부면까지 연결된 유연 케이블(702)에 전기적으로 연결된다. 개별 반도체 패키지의 상부면에 위치한 상기 유연 케이블(702)에는 접속 패드(705)가 형성된다. 서로 적층되는 두 개의 반도체 패키지 중, 위쪽에 위치하는 반도체 패키지의 입출력 단자(703)는 아래쪽에 위치하는 반도체 패키지의 접속 패드(705)에 전기적으로 연결된다. 상술한 구성을 통해 복수개의 면 실장형 패키지를 적층하는 것이 가능하다.

<33> 그렇지만 위와 같은 구성에 있어서, 상부에 적층되는 반도체 패키지로부터 최하단에 적층되는 반도체 패키지에 형성된 입출력 단자간의 인터커넥션(interconnection)은 각각의 적층되는 반도체 패키지에 부착된 배선 케이블(702) 및 입출력 단자(703)를 거쳐 이루어지기 때문에, 상부에 적층되는 반도체 패키지의, 특히 안쪽에 위치한 신호 ball에 대해 인터커넥션 길이가 크게 증가하게 되고, 최상부 반도체 패키지의 경우, 연결에 사용되지 않은 긴(long) 배선이 개방 스텝(open stub)으로 작용하여, 이로 인해 고속 동작 특성이 나빠지게 된다.

<34> 또한, 적층되는 반도체 패키지들 사이에 솔더 볼 등의 입출력 수단이 형성됨으로 인해 적층 패키지의 전체적인 높이가 높아지게 되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<35> 본 발명은 상술한 것과 같은 종래 기술의 문제점을 해결하기 위한 반도체 패키지 적층 기술을 제공하는 것을 목적으로 한다. 즉, BGA 패키지 등과 같은 면 실장형 반도체 패키지를 적층하는 기술로서, 적층되는 각각의 반도체 패키지로부터 외부 입출력 단자까지의 인터커넥션의 길이를 최소화하면서, 적층 패키지의 높이를 최소화 할 수 있는 기술을 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

- <36> 본 발명에서는 상술한 기술적 목적을 달성하기 위하여, 복수개의 면 실장형 반도체 패키지를 적층하여 형성된 반도체 적층 패키지를 제공한다. 본원 발명에서 사용되는 면 실장형 반도체 패키지는 기판; 상기 기판의 상면에 실장된 반도체 칩; 상기 기판의 하면에 형성된 복수의 외부 접속 단자 패드; 상기 반도체 칩과 상기 외부 접속 단자 패드를 전기적으로 연결하며, 상기 기판에 형성된 제1 배선; 상기 기판의 하면에서 상기 외부 접속 단자 패드가 형성되지 않은 영역에 형성된 복수개의 커넥팅 패드; 및 상기 반도체 칩을 상기 커넥팅 패드와 전기적으로 연결시키는 제2 배선;을 포함하여 구성된다. 그리고, 서로 적층된 면 실장형 반도체 패키지들 끼리는, 각각의 면 실장형 패키지에 형성된 상기 커넥팅 패드들을 도체 패턴이 형성된 유연 케이블에 의해 연결함으로써 서로 전기적으로 연결된다.
- <37> 본 발명에 따른 적층 패키지를 제조하기 위하여, 센터 패드형 반도체 칩을 탑재한 면 실장형 반도체 패키지가 사용될 수 있으며, 이 경우 상기 제 2배선은 상기 제1 배선을 연장하여 상기 커넥팅 패드에 연결함으로써 형성될 수 있다.
- <38> 또는, 본 발명에 따른 적층 패키지에는 에지 패드형 반도체 칩을 탑재한 반도체 패키지일 수 있으며, 이 경우에는 통상적인 패키지 설계를 갖는 상기 제 1배선에 전기적으로 연결되는 연결용 비아홀을 경유하여 상기 제 2배선이 각각의 상기 커넥팅 패드에 전기적으로 연결될 수 있다. 더 나아가 상기 면 실장형 반도체 패키지의 상기 제1 배선과 전기적으로 연결되는 연결용 비아홀이 상기 제2 배선을 위해 더 형성될 수 있다.
- <39> 또한 상기 면 실장형 반도체 패키지의 상기 커넥팅 패드는, 상기 외부 접속 단자 패드가 형성되지 않은 기판의 영역에 일렬로 배열되거나 지그 재그 형태로 배열 될 수 있다.

- <40> 또한, 상기 적층 패키지의 최하단에 적층된 면 실장형 패키지의 외부 접속 단자 패드에 솔더 볼을 부착할 수 있으며, 바람직하게는 적층된 면 실장형 반도체 패키지 사이에는 비전도성 접착제층이 형성될 수 있다.
- <41> 본원 발명에서는 상술한 적층 패키지의 제조 방법을 제공하는데, 상기 유연 케이블에 형성된 도체 패턴이 상기 면 실장형 반도체 패키지의 상기 커넥팅 패드에 전기적으로 연결되도록 배치하는 단계; 상기 유연 케이블을 상기 면 실장형 반도체 패키지를 감싸도록 하여 절곡하는 단계; 및 상기 과정을 통해 제조된 복수개의 면 실장형 반도체 패키지를, 각각의 면 실장형 패키지를 감싸고 있는 각각의 유연 케이블의 상기 도체 패턴들이 서로 전기적으로 연결되도록 하여 적층하는 단계;를 통하여 적층 패키지를 제조할 수 있으며, 바람직하게는 최상단에 적층되는 면실장형 반도체 패키지에는 유연 케이블이 부착되지 아니할 수 있다.
- <42> 더 나아가, 최하단에 적층되는 면 실장형 반도체 패키지의 외부 입출력 단자 패드에는 솔더 볼이 부착될 수 있다.
- <43> 바람직하게는 유연 케이블을 절곡하기 전에, 적층되는 면 실장형 반도체 패키지간의 접촉력을 향상시키기 위하여, 상기 면 실장형 반도체 패키지의 상면에 비 전도성 접착제층을 형성할 수 있다.
- <44> 본원 발명에 따른 적층 패키지를 제조하는 또 다른 방법으로서, 상기 유연 케이블 도체 패턴이 상기 면 실장형 반도체 패키지의 상기 커넥팅 패드에 전기적으로 연결되도록 배치하는 단계; 상기 면 실장형 반도체 패키지의 하부면에 비전도성 접착제층을 형성하는 단계; 상기 면 실장형 반도체 패키지의 하부면에 다른 면 실장형 반도체 패키지를 부착하는 단계; 상기 유연 케이블을 아래쪽으로 절곡하여, 아래쪽에 적층된 면 실장형 반도체 패키지를 감싸도록 절곡하

는 단계; 및 절곡된 유연 케이블이, 아래쪽에 적층된 면 실장형 반도체 패키지의 커넥팅 패드와 전기적으로 연결되도록 하는 단계;를 통해 적층 패키지를 제조할 수 있다.

<45> 이하, 첨부된 도면을 참조하여 본원 발명의 구체적인 실시예를 살펴보도록 한다.

<46> 도 4는 본원 발명의 일 실시예로서, 센터 패드형(center pad) 반도체 칩을 포함한 패키지를 적층하여 제조된 적층 패키지를 도시하고 있다. 적층 패키지에 사용된 각각의 반도체 패키지의 구조를 살펴보면, 기판(302)에 센터 패드형 반도체 칩(301)이 실장되어 있고, 상기 반도체 칩(301)은 기판의 중심부에 형성된 개구부를 통해 지나가는 본딩 와이어(304) 등의 접속 수단에 의해 기판(302)에 형성된 배선 패턴(303)에 전기적으로 연결된다. 상기 배선 패턴(303)은 다시 솔더 볼 패드(307) 및 도 5에 도시된 커넥팅 패드(311a, 311b) 등의 외부 접속 단자에 연결되게 된다.

<47> 도 5a는 상기 기판(302)에 형성된 배선 패턴(303)을 구체적으로 도시하고 있다. 한 쪽 끝 단이 본딩 와이어(304)를 통해 반도체 칩(301)에 연결된 제1 배선(313a)의 맞은 쪽 끝 단은 솔더 볼 패드(314a) 등의 외부 접속 단자 패드에 연결된다.

<48> 그리고 기판(302)의 하면 중 솔더 볼 패드(314a)가 형성되지 않은 외곽에 위치한 커넥팅 패드(311a)는 상기 제1 배선(313a)을 연장하여 형성된 제2 배선(312a)을 통해 상기 반도체 칩(301)과 전기적으로 연결된다. 상기 구성을 통하여, 커넥팅 패드(311a)는 각각의 외부 접속 단자 패드(314)를 대신하여, 외부와 전기적으로 접속되는 단자 역할을 할 수 있게 된다.

<49> 서로 적층되는 두 개 이상의 반도체 패키지는, 도 4에 개시된 유연 케이블(Flexible Cable; 306)을 통해 전기적으로 연결되는데, 상기 유연 케이블(306)의 양 끝 단은 각각 서로 적층된 반도체 패키지에 형성된 커넥팅 패드(311a)에 접속되게 된다. 유연 케이블(306)에는 복

수개의 도체 패턴이 형성되어 있어서, 유연 케이블(306)의 양 끝 단에 각각 접합된 서로 다른 면 실장형 패키지의 커넥팅 패드(311a)들을 서로 전기적으로 연결시킨다. 이 때, 유연 케이블의 도체 패턴과 커넥팅 패드는 납땜 등을 통해 결합될 수 있다.

<50> 서로 적층되는 두 개 이상의 개별 반도체 패키지 사이에는, 적층되는 패키지 사이의 접착력을 증대시키기 위하여 비전도성 접착제층(309)을 형성하는 것이 바람직하다.

<51> 도 5b는 제1 배선(313b), 외부 접속 단자 패드(314b), 제2 배선(312b), 커넥팅 패드(311b)로 이루어진 배선 패턴(303)의 또 다른 실시예를 도시하고 있다. 도 5a에 개시된 배선 패턴과 거의 유사하지만, 커넥팅 패드(311b)의 배치가 일렬로 이루어지지 않고, 지그 재그로 이루어진 점에서 차이가 있다. 상기 구성을 채용하게 되면, 패키지의 크기는 동일하게 유지하면서도, 커넥팅 패드(311b)의 밀도를 증가시킬 수 있고 커넥팅 패드(311b) 사이의 거리도 충분히 확보할 수 있다.

<52> 적층 패키지의 전체적인 높이를 줄이기 위해서는, 적층 패키지 전체의 외부 접속 단자 역할을 하는 최하층 외에는 솔더 볼 등의 외부 단자가 각각의 개별 패키지에는 형성되지 않는 것이 바람직하다. 그렇지만, 도 6에 도시된 것과 같이, 이미 솔더 볼(308) 등의 외부 접속 단자가 형성된 개별 패키지를 사용하여 적층 패키지를 제조하는 것도 가능하다.

<53> 도 7은 4개의 개별 반도체 패키지(300)가 적층되고, 유연 케이블에 의해 서로 전기적으로 연결된 구성을 도시하고 있다. 도 7에 도시된 것과 같이, 적층 패키지의 상부에 위치하는 개별 패키지와 최하단에 위치하는 외부 접속 단자 간의 인터커넥션은, 중간에 위치하는 패키지에 형성된 배선 패턴 또는 외부 접속 단자 패드를 거치지 않고, 유연 케이블에 의해서 이루어진다. 그러므로, 전체적인 인터커넥션 길이를 감소시킬 수 있어, 적층 패키지의 전기적 특성을 향상시킬 수 있다.

- <54> 도 8은 에지 패드형 (edge-pad type) 반도체 칩을 포함한 반도체 패키지를 적층하여 제조된 적층 패키지를 도시하고 있다. 기판(402)에 실장된 반도체 칩(401)은 본딩 와이어(404) 등과 같은 전기적 접속 수단을 통해 기판(402)에 형성된 배선 패턴(403)에 연결된다. 상기 배선 패턴(403)은 제1배선과 제 2배선으로 이루어지며, 상기 제 1배선은 통상적인 다층기판설계 방식으로 배선되어 비아(410)를 경유하여 도 9에 도시된 솔더 볼 패드(414)에 연결된다. 그리고 상기 제 2배선은 상기 비아(410)를 경유하여 도 9에 도시된 커넥팅 패드(411)에 연결된다. 도 9는 이러한 방식으로 상기 패키지의 하면에 배선된 제 1배선(412)과 제2배선(413)을 개념적으로 도시한 것이다.
- <55> 이 때, 별도의 도면으로 도시하지는 않았지만, 커넥팅 패드(411a)의 밀도를 증가시키기 위하여 도 5b에 개시된 것과 같이 커넥팅 패드(411)의 배열을 지그 재그로 형성하는 것도 가능하다.
- <56> 도 9에서 상기 제 1배선(412)은 기판의 상면 또는 하면에 형성되고, 상기 제1 배선에 연결된 연결용 비아(415)가 추가적으로 형성되어 제2 배선에 연결될 수 있다. 상기 연결용 비아(415)는 제 1 배선에 사용되는 통상적인 비아(410)일 수 있고, 추가로 더 형성된 것일 수 있다. 바람직하게는, 상기 연결용 비아(415)는 상기 기판 하면에 형성된 제2배선(413)의 길이를 최소화하기 위하여, 상기 커넥팅 패드(411)에 가깝게 배치되는 것이 바람직하다.
- <57> 이렇게 형성된 상기 연결용 비아(415)는 반도체 칩(401)으로부터 커넥팅 패드(411)까지의 경로를 단축시킴으로써, 상층부에 적층된 반도체 패키지와 적층 패키지의 최하단에 형성된 외부 접속 단자 간의 인터커넥션 길이를 최소로 만들 수 있어, 적층 패키지의 전기적 특성을 더욱 향상시킬 수 있다.

- <58> 센터 패드형 반도체 칩을 포함한 반도체 패키지를 적층할 때와 마찬가지로, 서로 적층되어 있는 개별 반도체 패키지의 커넥팅 패드(411)들이 유연 케이블(406)을 통해 전기적으로 연결됨으로써, 적층 패키지가 제조된다.
- <59> 도 10은 네 개의 반도체 패키지를 적층한 실시예를 개시하고 있다. 도 10에서는 센터 패드형 칩을 실장한 반도체 패키지(300) 2개와 에지 패드형 칩을 실장한 반도체 패키지(400) 2개가 서로 적층되고, 유연 케이블에 의하여 서로 전기적으로 연결되는 구성이 개시되어 있지만, 이 밖에 다양한 조합으로 적층 패키지를 구현할 수 있음은 당업자에게 자명하다.
- <60> 도 11은 본원 발명에 따른 반도체 적층 패키지를 제조하는 방법을 도시하고 있다. 도 11a에 개시된 것과 같이, 커넥팅 패드가 패키지 주변부에 형성된 개별 반도체 패키지(502) 하부에 유연 케이블(501)을 배치한다. 이 때, 유연 케이블(501)에 형성된 복수개의 도체 패턴이 납땜 등을 통해 각각 커넥팅 패드에 연결될 수 있도록 한다.
- <61> 다음으로 도 11b에 도시된 것과 같이, 반도체 패키지의 상부면에 비전도성 접착제층(503)을 형성한 다음, 도 11c에 도시된 것과 같이 유연 케이블(501)이 면 실장형 반도체 패키지를 감싸는 형태를 가지도록, 유연 케이블(501)을 절곡한다.
- <62> 다음으로 도 11d에 도시된 것과 같이, 상술한 과정을 통해 제조된 복수개의 반도체 패키지를 서로 적층하여 적층 패키지를 형성한다. 이 때, 유연 케이블에 형성된 도체 패턴들이 서로 전기적으로 접합될 수 있도록 하여야 한다. 도 11e에 도시된 것과 같이 적층 패키지의 최상부에 위치하는 패키지로는 유연 케이블(501)이 부착되지 않은 상태인 면 실장형 패키지를 사용할 수 있으며, 이 경우 최상부에 위치하는 반도체 패키지의 커넥팅 핀이 바로 아래에 위치하는 유연 케이블의 도체 패턴에 연결되도록 하여야 한다.

- <63> 상기 제조 과정에서, 솔더 볼과 같은 외부 접속 단자가 형성되지 않은 패키지를 사용하였을 경우에는, 도 11f에 도시된 것과 같이 적층 패키지의 최하단 패키지의 외부 접속 단자 패드에 솔더 볼(504) 등의 외부 접속 단자를 형성하는 것이 바람직하다.
- <64> 도 12는 도 11에 도시된 반도체 적층 패키지 제조 방법에 있어서, 일괄 공정을 통해 반도체 적층 패키지를 제조하는데 적합한 형태의 유연 케이블 프레임(710)이 도시되고 있다. 도 12에 도시된 것과 같이, 복수개의 유연 케이블이 나란히 배열되어 형성된 유연 케이블 프레임(701) 위에 복수개의 면 실장형 반도체 패키지(703)를 배치하고, 개별 반도체 패키지에 형성된 커넥팅 패드와 유연 케이블 위에 형성된 도체 패턴(702)를 납땜등의 방법을 이용하여, 한꺼번에 연결시키고 절곡함으로써 생산성을 향상시킬 수 있다.
- <65> 도 13은 본원 발명에 따른 반도체 적층 패키지를 제조하는 또 다른 방법을 도시하고 있다. 도 13a에 도시된 것과 같이, 개별 반도체 패키지(602)의 하면에 형성된 커넥팅 패드가 유연 케이블(601)의 도체 패턴과 납땜 등을 통해 연결될 수 있도록 한다.
- <66> 다음으로 도 13b와 같이 상기 반도체 패키지(602)의 하면에 접착제층(603)을 형성한 다음, 도 13c와 같이 반도체 패키지(604)의 상면이 상기 접착제층(603)에 부착될 수 있도록 한다.
- <67> 다음으로 도 13d에 도시된 것과 같이, 상기 유연 케이블(601)이 하부에 위치한 반도체 패키지(604)를 감싸도록 절곡하고, 하부 반도체 패키지(604)의 커넥팅 패드에 유연 케이블(601)이 전기적으로 접속될 수 있도록 한다. 추가적으로 솔더 볼 등의 외부 접속 단자가 형성되지 않은 반도체 패키지를 사용하였을 경우에는, 도 13e에 도시된 것과 같이, 최하부에 위치한 반도체 패키지의 외부 접속 단자 패드에 솔더 볼 등의 외부 접속 단자를 형성할 수 있다.

【발명의 효과】

<68> 본원 발명에 따른 반도체 적층 패키지의 구조에 따르면, BGA 형태의 반도체 패키지와 같은 면 실장형 패키지를 외부 단자의 배치를 변형시키지 않으면서 그대로 적층할 수 있다.

또한, 개별 반도체 패키지의 하부면에 형성된 커넥팅 패드와, 각 개별 반도체 패키지의 커넥팅 패드들을 전기적으로 연결시켜주는 유연 케이블을 이용함으로 상층부에 적층되는 반도체 패키지의 인터커넥션 길이를 감소 시킬 수 있고, 이로 인해 적층 반도체 패키지의 속도 저하를 감소시킬 수 있다.

【특허청구범위】**【청구항 1】**

복수개의 면 실장형 반도체 패키지를 적층하여 형성된 반도체 적층 패키지에 있어서, 상기 면 실장형 반도체 패키지는

기판 ;

상기 기판의 상면에 실장된 반도체 칩;

상기 기판의 하면에 형성된 복수의 외부 접속 단자 패드;

상기 반도체 칩과 상기 외부 접속 단자 패드를 전기적으로 연결하며, 상기 기판에 형성된 제1 배선;

상기 기판의 하면에서 상기 외부 접속 단자 패드가 형성되지 않은 영역에 형성된 복수개의 커넥팅 패드; 및

상기 반도체 칩과 상기 커넥팅 패드를 전기적으로 연결시키는 제2 배선;을 포함하여 구성되는데,

서로 적층된 면 실장형 반도체 패키지들끼리는, 각각의 면 실장형 패키지에 형성된 상기 커넥팅 패드들을 도체 패턴이 형성된 유연 케이블에 의해 연결함으로써 서로 전기적으로 연결되는 것을 특징으로 하는 면 실장형 반도체 패키지를 이용한 적층 패키지.

【청구항 2】

제1항에 있어서, 상기 면 실장형 반도체 패키지에 실장된 반도체 칩은 센터 패드형 반도체 칩이며, 상기 제 2배선은 상기 제 1배선을 연장하여 상기 커넥팅 패드에 연결시킴으로써 형성된 것을 특징으로 하는 면 실장형 반도체 패키지를 이용한 적층 패키지.

【청구항 3】

제1항에 있어서, 상기 면 실장형 반도체 패키지에 실장된 반도체 칩은 에지 패드형 반도체 칩이며, 상기 제 1배선에 전기적으로 연결된 연결용 비아가 상기 기판상에 더 형성되고, 상기 제2 배선은 상기 연결용 비아를 경유하여 상기 커넥팅 패드에 연결되는 것을 특징으로 하는 면 실장형 반도체 패키지를 이용한 적층 패키지.

【청구항 4】

제3항에 있어서, 상기 연결용 비아는 상기 커넥팅 패드에 주변에 형성되는 것을 특징으로 하는 면 실장형 반도체 패키지를 이용한 적층 패키지.

【청구항 5】

제1항에 있어서, 상기 면 실장형 반도체 패키지의 상기 커넥팅 패드는, 상기 외부 접속 단자 패드가 형성되지 않은 기판의 영역에 일렬로 배열되는 것을 특징으로 하는 면 실장형 반도체 패키지를 이용한 적층 패키지.

【청구항 6】

제1항에 있어서, 상기 면 실장형 반도체 패키지의 상기 커넥팅 패드는, 상기 외부 접속 단자 패드가 형성되지 않은 기판의 영역에 지그 재그 형태로 배열되는 것을 특징으로 하는 면 실장형 반도체 패키지를 이용한 적층 패키지.

【청구항 7】

제1항에 있어서, 상기 적층 패키지의 최하단에 적층된 면 실장형 패키지의 외부 접속 단자 패드에 솔더 볼이 부착되는 것을 특징으로 하는 면 실장형 반도체 패키지를 이용한 적층 패키지.

【청구항 8】

제1항에 있어서, 상기 적층된 면 실장형 반도체 패키지 사이에는 비전도성 접착제층이 형성된 것을 특징으로 하는 면 실장형 반도체 패키지를 이용한 적층 패키지.

【청구항 9】

제1항에 있어서, 상기 면 실장형 반도체 패키지는 볼 그리드 어레이(BGA) 패키지인 것을 특징으로 하는 면 실장형 반도체 패키지를 이용한 적층 패키지.

【청구항 10】

제1항에 개시된 면 실장형 반도체 패키지를 이용한 적층 패키지를 제조하는 방법으로서,

상기 유연 케이블에 형성된 도체 패턴이 상기 면 실장형 반도체 패키지의 상기 커넥팅 패드에 전기적으로 연결되도록 배치하는 단계;

상기 유연 케이블을 상기 면 실장형 반도체 패키지를 감싸도록 하여 절곡하는 단계; 및

상기 과정을 통해 제조된 복수개의 면 실장형 반도체 패키지를, 각각의 면 실장형 패키지를 감싸고 있는 각각의 유연 케이블의 상기 도체 패턴들이 서로 전기적으로 연결되도록 하여 적층하는 단계;

를 포함하는 면 실장형 반도체 패키지를 이용한 적층 패키지의 제조 방법.

【청구항 11】

제10항에 있어서, 상기 유연 케이블을 절곡하기 전에 상기 면 실장형 반도체 패키지의 상면에 비 전도성 접착제층을 형성하는 것을 특징으로 하는 면 실장형 반도체 패키지를 이용한 적층 패키지의 제조 방법.

【청구항 12】

제10항에 있어서, 상기 적층 패키지 최상단에는 유연 케이블이 부착되지 않은 면 실장형 패키지를 적층하는 것을 특징으로 하는 면 실장형 반도체 패키지를 이용한 적층 패키지의 제조 방법.

【청구항 13】

제10항에 있어서, 상기 적층 패키지의 최하단에 적층된 면 실장형 반도체 패키지의 외부 접속 단자 패드에 솔더 볼을 부착하는 것을 특징으로 하는 면 실장형 반도체 패키지를 이용한 적층 패키지의 제조 방법.

【청구항 14】

제 10항에 있어서, 상기 적층 패키지 제조에 사용되는 면 실장형 반도체 패키지는 외부 접속간지에 솔더 볼이 부착되어 있는 패키지를 이용하는 것을 특징으로 하는 적층 패키지 제조 방법.

【청구항 15】

제1항에 개시된 면 실장형 반도체 패키지를 이용한 적층 패키지를 제조하는 방법으로서,

상기 유연 케이블 도체 패턴이 상기 면 실장형 반도체 패키지의 상기 커넥팅 패드에 전기적으로 연결되도록 배치하는 단계;

상기 면 실장형 반도체 패키지의 하부면에 비전도성 접착제층을 형성하는 단계;

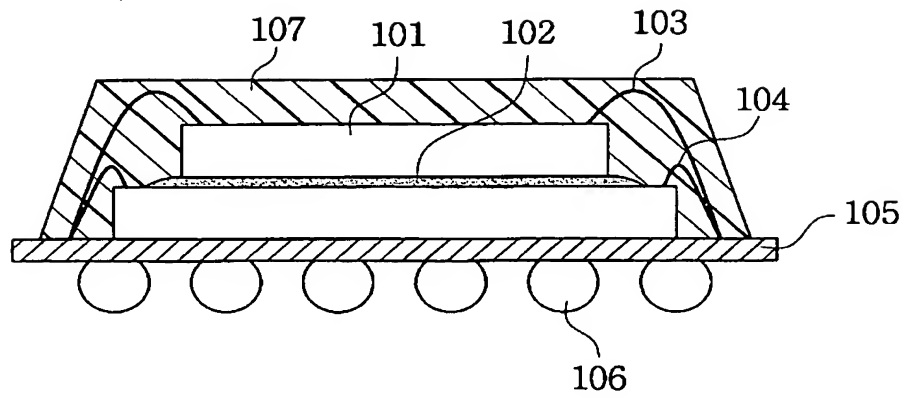
상기 면 실장형 반도체 패키지의 하부면에 다른 면 실장형 반도체 패키지를 부착하는 단계;

상기 유연 케이블을 아래쪽으로 절곡하여, 아래쪽에 적층된 면 실장형 반도체 패키지를 감싸도록 절곡하는 단계; 및

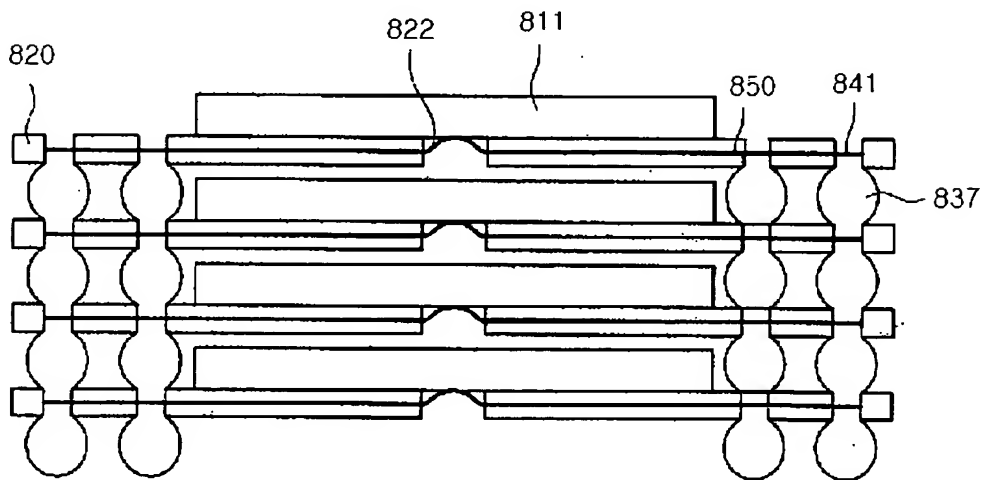
절곡된 유연 케이블이, 아래쪽에 적층된 면 실장형 반도체 패키지의 커넥팅 패드와 전기적으로 연결되도록 하는 단계;를 포함하는 것을 특징으로 하는 면 실장형 반도체 패키지를 이용한 적층 패키지의 제조 방법.

【도면】

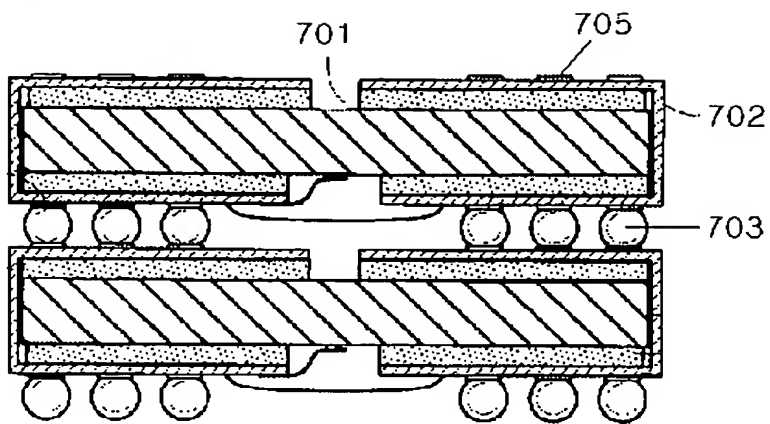
【도 1】



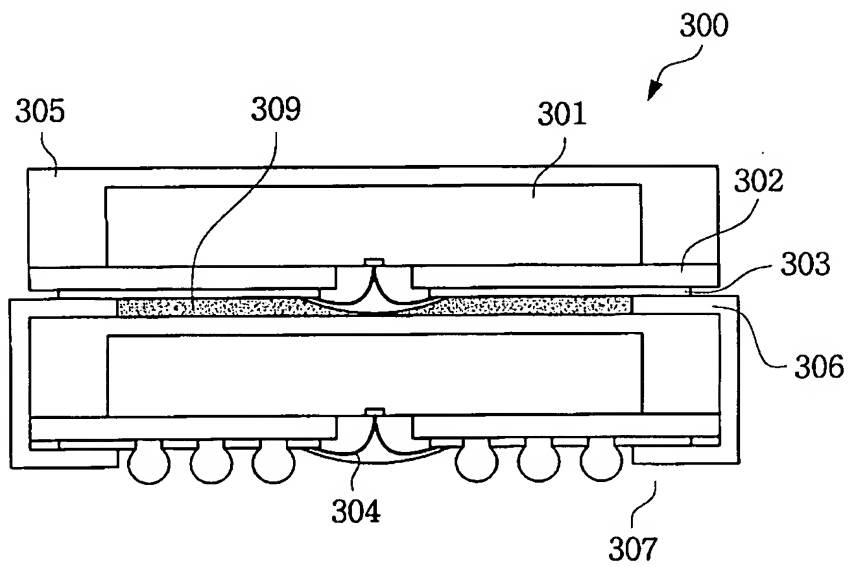
【도 2】



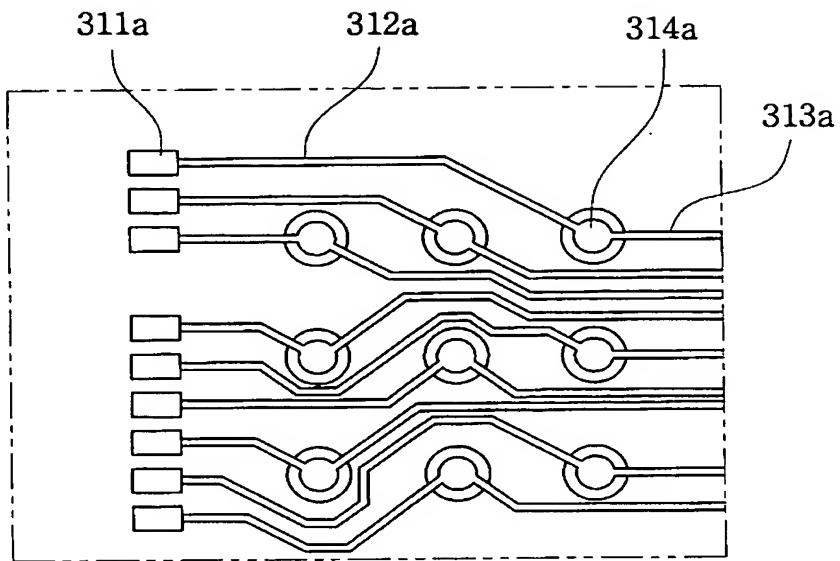
【도 3】



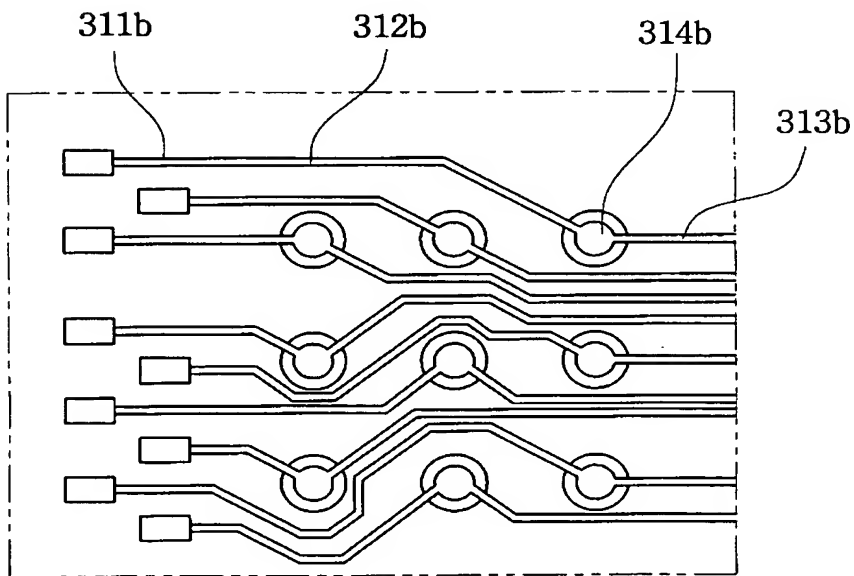
【도 4】



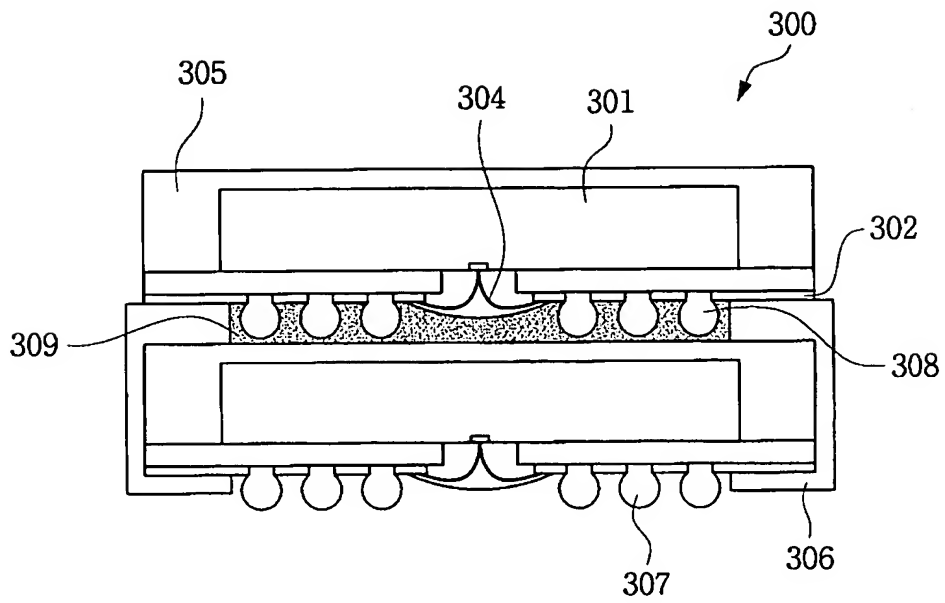
【도 5a】



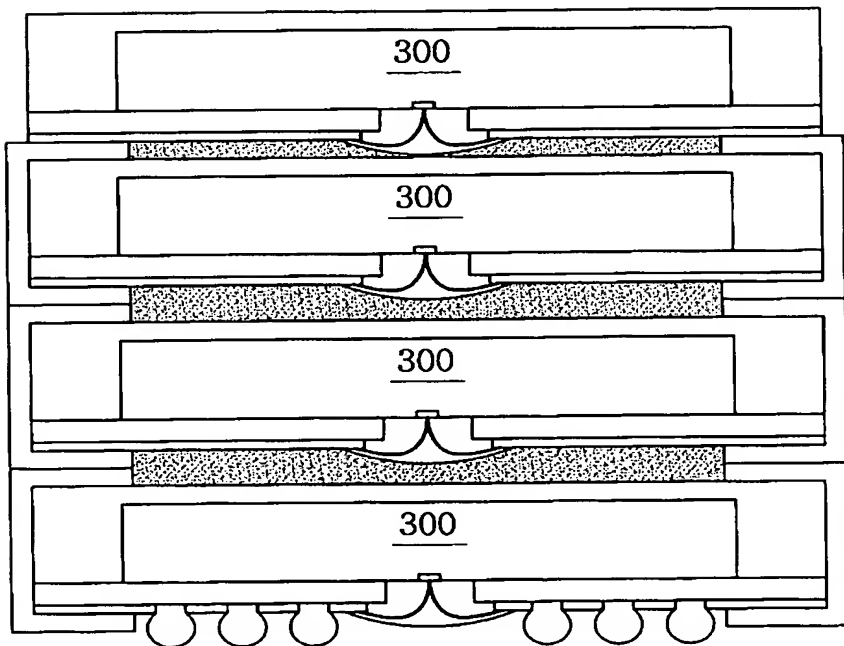
【도 5b】



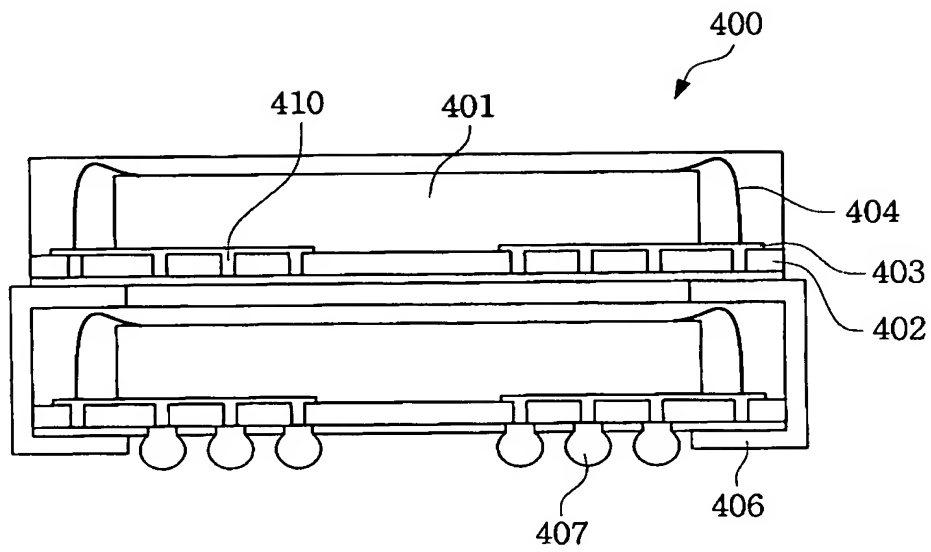
【도 6】



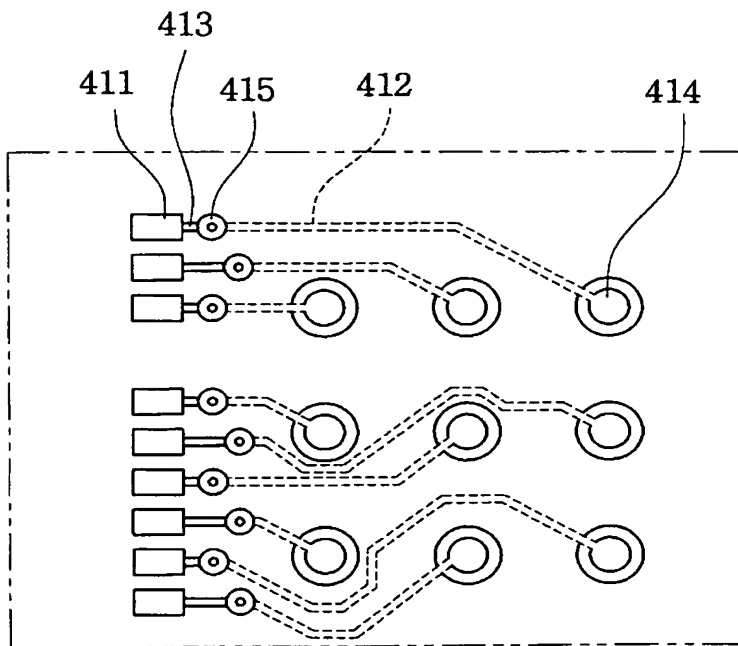
【도 7】



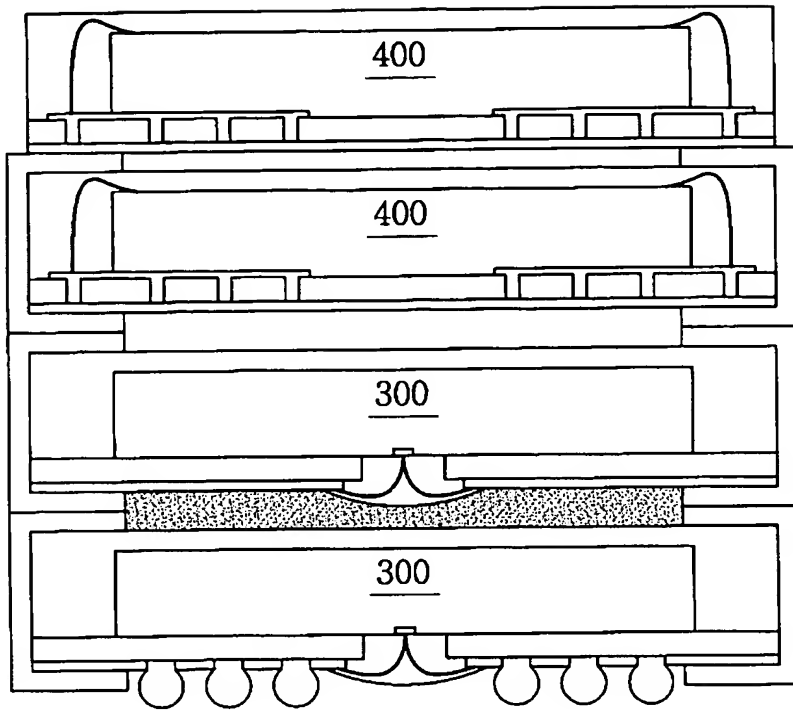
【도 8】



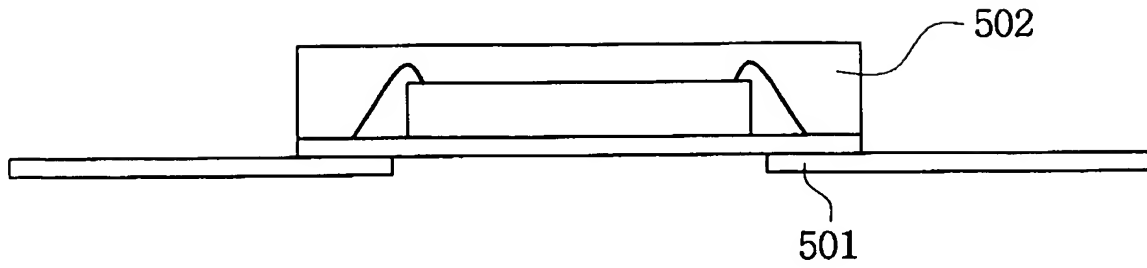
【도 9】



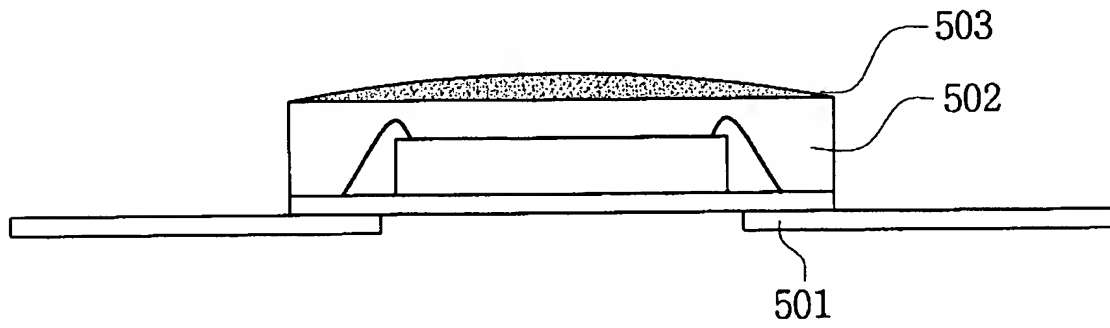
【도 10】



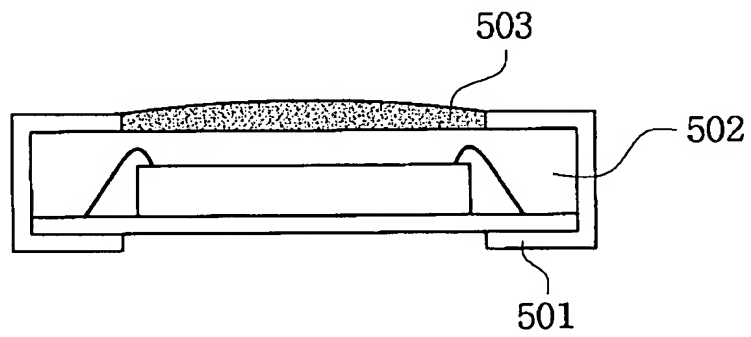
【도 11a】



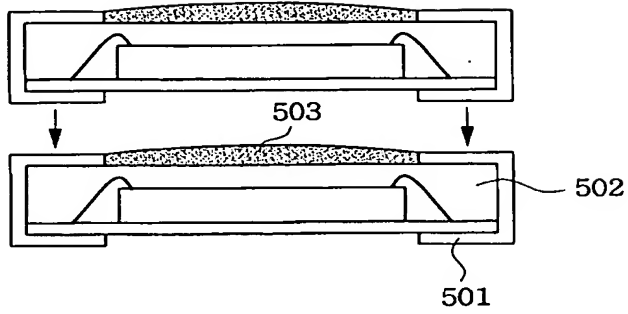
【도 11b】



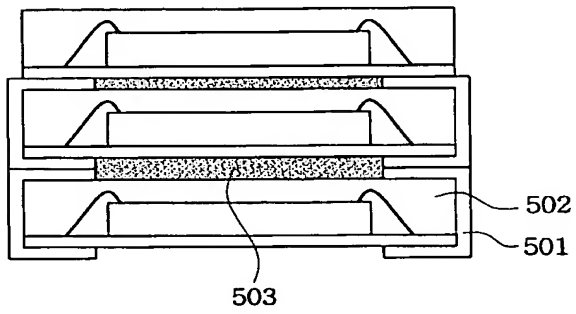
【도 11c】



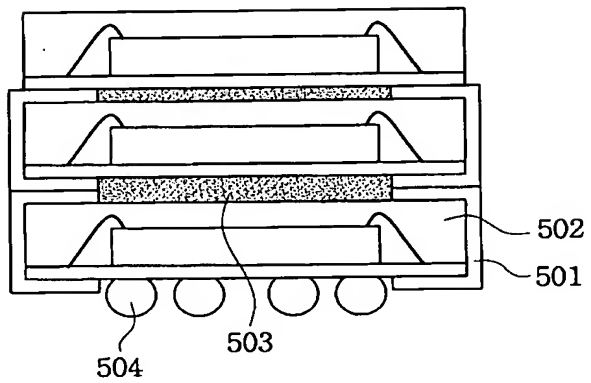
【도 11d】



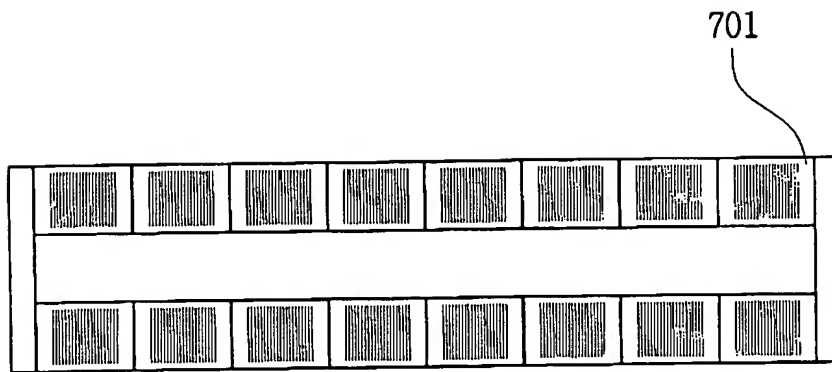
【도 11e】



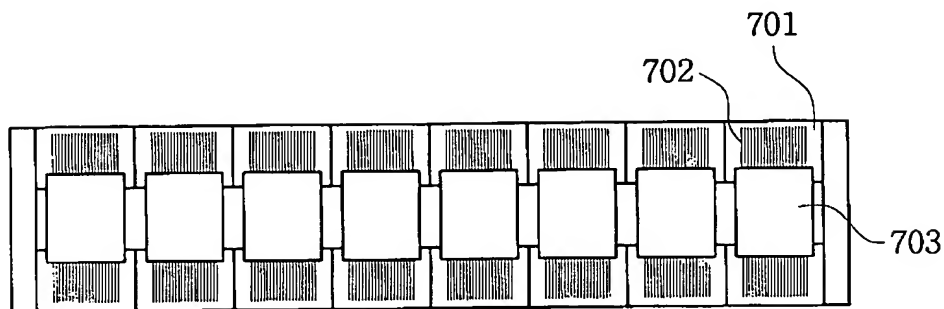
【도 11f】



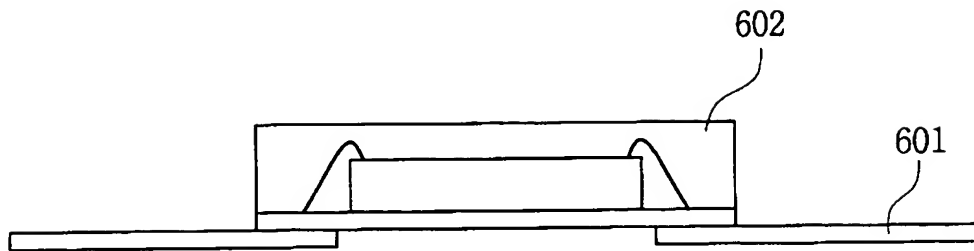
【도 12a】



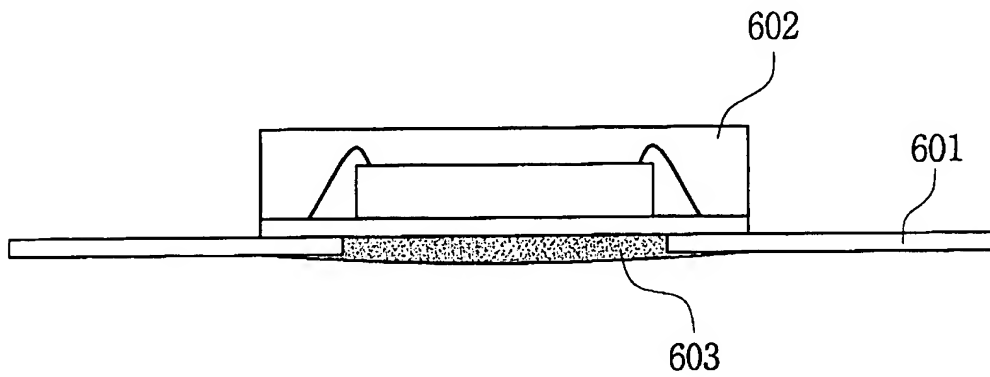
【도 12b】



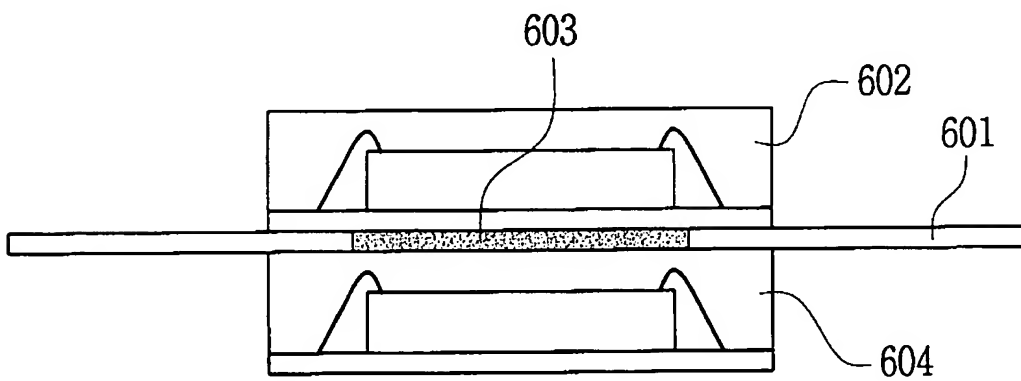
【도 13a】



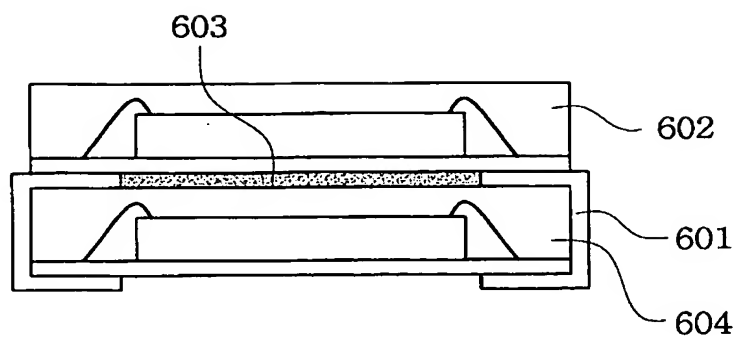
【도 13b】



【도 13c】



【도 13d】



【도 13e】

